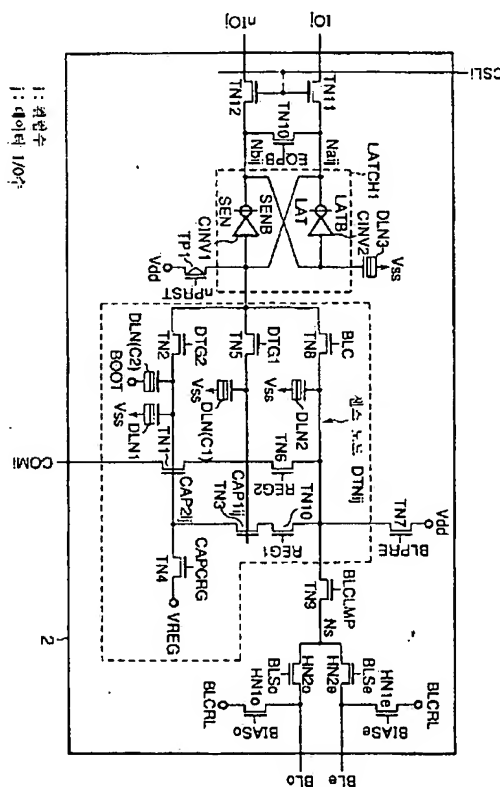


KOREAN PATENT ABSTRACTS

(11) Publication number : **20010082527 A**(44) Date of publication of specification : **30.08.2001**(21) Application number : **000056966**(71) Applicant : **KABUSHIKI KAISHA TOSHIBA**(22) Date of filing : **28.09.2000**(72) Inventor : **SHIBATA NOBORU
TAKEUCHI KEN
TANAKA TOMOHARU**(51) Int. Cl **G11C 16/00****(54) NON-VOLATILE SEMICONDUCTOR MEMORY****(57) Abstract :**

PURPOSE: A non-volatile semiconductor memory is provided to suppress the scale of a data circuit even if cell data are made to have a multi-level.

CONSTITUTION: Data of ternary or more are stored in a memory cell in a non-volatile state. A data circuit(2) has plural storage circuits. One of them is a latch circuit(LATCH 1). The other is a capacitor(DLN C1). These latch circuit (LATCH 1) and the capacitor(DLN C1) store temporarily write-in/read-out data of two bits or more. When data variation caused by leak is made trouble, refreshment is performed using the latch circuit(LATCH 1) for data held in the capacitor(DLN C1).



Copyright (c) 2001 Korean Industrial Property Office.

BEST AVAILABLE COPY

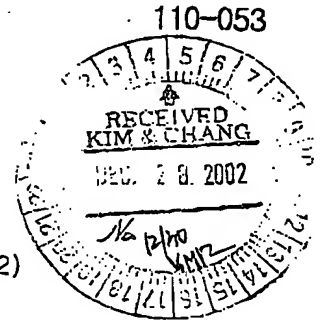
003159

출력 일자: 2002/12/28

발송번호 : 9-5-2002-045914214
발송일자 : 2002.12.27
제출기일 : 2003.02.27

수신 : 서울 종로구 내자동 219 한누리빌딩(김&
장 특허법률사무소)
장수길 귀하

특허청 의견제출통지서



출원인 명칭 가부시끼가이샤 도시바 (출원인코드: 519980849672)
주소 일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고
대리인 성명 장수길 외 1 명
주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
출원번호 10-2000-0056966
발명의 명칭 불휘발성 반도체 메모리

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하
오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여
주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에
대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의
지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2
항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원발명은 2비트 이상의 데이터를 기록, 판독할 수 있는 메모리 장치에서 데이터를 일시 기억하
는 데이터 회로에 제1 데이터를 기억하는 제1캐패시터와, 제2데이터를 기억하는 래치회로를 포함하
는 것을 기술적인 특징으로 하고 있으나 이는 일본공개특허공보 04192188호(92.7.10), 08147976호
(96.6.7)의 데이터 회로가 래치 구성으로 되어 있고 캐패시터를 구비한 것과 유사한 구성을 하고 있
고 회로의 전반적인 동작 또한 유사한 것입니다. 끝.

[첨부]

첨부 1 제1인용문헌(발췌2쪽)
첨부2 제2인용문헌(발췌3쪽) 끝.

2002.12.27

특허청

심사4국

정보 심사담당관실

심사관 이철희



Mailed : December 27, 2002

Opinion should be filed by: February 27, 2003

NOTIFICATION OF REQUEST FOR FILING OPINION

Applicant's name : Toshiba Corporation

Patent Application No.: 10-2000-0056966

Title of Invention: NONVOLATILE SEMICONDUCTOR MEMORY

The following reason for rejection has been found as the result of examination of the present application, and will be notified under Section 63 of the Patent Law. Any opinion and/or amendment must be filed by the above due date. (The due date is extensible by one month for each request. No notification of allowance of extension will be issued.)

REASON

The inventions described in the claims of the present application are unpatentable under Section 29 (2) of the Patent Law, as being such that they could easily have been made by a person with ordinary skill in the art to which they pertain, on the basis of the inventions described in the following publications distributed prior to this application.

REMARKS

The present invention is featured in that a memory device which can write and read data of 2 bits or more, comprises a first capacitor for storing first data in a data circuit for temporarily data, and a latch circuit for storing second data. This is similar in structure to Jpn. Pat. Appln. KOKAI Publications No. 04192188 (July 10, 1992) and No. 08147976 (June 7, 1996) which disclose data

NOTIFICATION OF REQUEST FOR FILING OPINION

circuits having latch structures, and including capacitors. Also, the invention is similar to those references in the overall operation of the circuit.

[Enclosures]

1. Reference 1
2. Reference 2